

**PLL circuit for synchronising with carrier wave - includes variable divider for generating two reference signals of same frequency but phase shifted by 90 deg.**

**Patent Assignee:** PIONEER ELECTRONIC CORP

**Inventors:** AKIYAMA K; YAMAMOTO Y

#### Patent Family (3 patents, 2 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 6181480	A	19940628	JP 1992333311	A	19921214	199430	B
US 5444744	A	19950822	US 1993161890	A	19931203	199539	ETAB
JP 3366032	B2	20030114	JP 1992333311	A	19921214	200308	E

**Priority Application Number (Number Kind Date):** JP 1992333311 A 19921214

#### Patent Details

Patent Number	Kind	Language	Pages	Drawings	Filing Notes
JP 6181480	A	JA	9	12	
US 5444744	A	EN	18	12	
JP 3366032	B2	JA	9		Previously issued patent JP 06181480

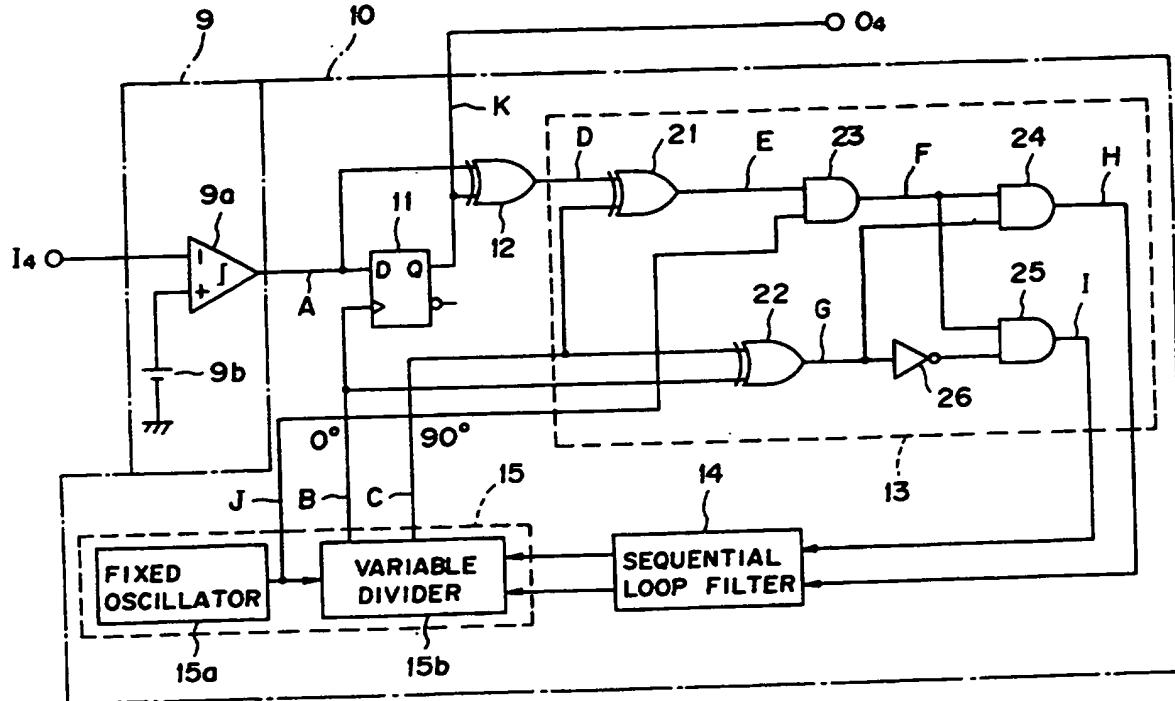
#### Alerting Abstract: US A

The variable divider varies the frequencies of the reference signals in accordance with a control signal. A first multiplier multiplies an input signal by the first reference signal. An exclusive OR circuit is assigned to the input and output signals of the first multiplier.

A phase comparator receives the reference signals and the output signal of the exclusive OR circuit, and detects a value and a direction of a phase difference between the input signal and the first reference signal to produce a phase comparison signal including a series of clock pulses whose number corresponds to the value of the phase difference and indicative of the direction of the phase difference. A loop filter produces the control signal on the basis of the phase comparison signal.

**ADVANTAGE** - Capable of precisely detecting phase difference to stabilise performance.

#### Main Drawing Sheet(s) or Clipped Structure(s)



**International Classification (Main):** H03D-003/24, H04L-027/227, H04L-027/32

**(Additional/Secondary):** H03D-003/02, H03L-007/06, H04B-001/06, H04B-001/16, H04L-027/22

**US Classification, Issued:** 375376000, 329307000

### Original Publication Data by Authority

#### Japan

Publication Number: JP 6181480 A (Update 199430 B)

Publication Date: 19940628

**\*\*PLL CIRCUIT FOR CARRIER SYNCHRONIZATION\*\***

Assignee: PIONEER ELECTRON CORP (PIOE)

Inventor: YAMAMOTO YUJI AKIYAMA KIICHIROU

Language: JA (9 pages, 12 drawings)

Application: JP 199233311 A 19921214 (Local application)

Original IPC: H04L-27/32(A) H03D-3/02(B) H03L-7/06(B) H04B-1/06(B) H04B-1/16(B) H04L-27/22(B)

Current IPC: H04L-27/32(A) H03D-3/02(B) H03L-7/06(B) H04B-1/06(B) H04B-1/16(B) H04L-27/22(B)|JP 3366032 B2 (Update 200308 E)

Publication Date: 20030114

Language: JA (9 pages)

Application: JP 199233311 A 19921214 (Local application)

Related Publication: JP 06181480 A (Previously issued patent)

Original IPC: H04L-27/227(A) H03D-3/02(B) H03L-7/06(B) H04B-1/06(B) H04B-1/16(B)

Current IPC: H04L-27/227(A) H03D-3/02(B) H03L-7/06(B) H04B-1/06(B) H04B-1/16(B)

#### United States

Publication Number: US 5444744 A (Update 199539 ETAB)

Publication Date: 19950822

**\*\*Phase locked loop for synchronizing with carrier wave\*\***

Assignee: Pioneer Electronic Corporation (PIOE)

Inventor: Yamamoto, Yuji, JP Akiyama, Kiichiro

Agent: Kane, Dalsimer, Sullivan, Kurucz, Levy, Eisele and Richard

Language: EN (18 pages, 12 drawings)

Application: US 1993161890 A 19931203 (Local application)

Priority: JP 1992333311 A 19921214

Original IPC: H03D-3/24(A)

Current IPC: H03D-3/24(A)

Original US Class (main): 375376

Original US Class (secondary): 329307

Original Abstract: A phase locked loop circuit for synchronizing with carrier wave includes: a variable divider for generating a first reference signal and a second reference signal whose frequency is same as the frequency of the first reference signal and whose phase is shifted by 90 degrees with respect to the phase of the first reference signal, the variable divider varying the frequencies of the first reference signal and the second reference signal in accordance with a control signal; a first multiplier for multiplying an input signal by the first reference signal; an exclusive OR circuit for operating an exclusive OR of the input signal and the output signal of the first multiplier; a phase comparator for receiving the first reference signal, the second reference signal and the output signal of the exclusive OR circuit, and detecting a value and a direction of a phase difference between the input signal and the first reference signal to produce phase comparison signal including series of clock pulses whose number corresponding to the value of the phase difference and indicative of the direction of the phase difference; and a loop filter for producing the control signal on the basis of the phase comparison signal.

Claim: 1. A phase locked loop circuit for synchronizing with carrier wave comprising: a fixed oscillator for generating a clock signal including reference clock pulses; a variable divider for dividing the clock signal and generating a first reference signal and a second reference signal whose frequency is same as the frequency of the first reference signal and whose phase is shifted by 90 degrees with respect to the phase of the first reference signal, said variable divider varying the frequencies of the first reference signal and the second reference signal in accordance with a control signal; a first multiplier for multiplying an input signal by the first reference signal; an exclusive OR circuit for operating an exclusive OR of the input signal and an output signal of said first multiplier; a phase comparator for receiving the clock signal, the first reference signal, the second reference signal and the output signal of said exclusive OR circuit, and detecting a value and a direction of a phase difference between the input signal and the first reference signal to produce phase comparison signal including a series of clock pulses whose number corresponding to the value of the phase difference and indicative of the direction of the phase difference; and a loop filter for producing the control signal on the basis of the phase comparison signal.

Derwent World Patents Index

© 2006 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 6856954



### 【特許請求の範囲】

【請求項1】 第1の基準信号とその第1の基準信号と同じ周波数で90°の位相差を有する第2の基準信号とを周波数可変に出力する可変分周器と、  
入力信号と前記第1の基準信号とを乗算する乗算器と、  
前記入力信号と前記乗算器の出力信号との排他的論理と演算する排他的論理回路と、  
前記第1の基準信号、第2の基準信号および前記排他的論理回路の出力信号とを入力し、前記入力信号と前記第1の基準信号との位相差およびその位相差方向を検出し、その位相差に応じた数のクロックパルスの列を含み位相差方向に対応した位相比較信号を出力する位相比較器と、  
前記位相比較信号により前記可変分周器への制御信号を生成するループフィルタと、  
を備えることを特徴とするキャリア同期用PLL回路。  
【請求項2】 第1の基準信号とその第1の基準信号と同じ周波数で90°の位相差を有する第2の基準信号とを周波数可変に出力する可変分周器と、  
入力信号を前記第1の基準信号によりサンプリングする第1の乗算器と、  
前記入力信号と前記乗算器の出力信号との排他的論理と演算する排他的論理回路と、  
前記第1の基準信号、第2の基準信号および前記排他的論理回路の出力信号とを入力し、前記入力信号と前記第1の基準信号との位相差およびその位相差方向を検出し、その位相差に応じた数のクロックパルスの列を含み位相差方向に対応した位相比較信号を出力する位相比較器と、  
前記位相比較信号により前記可変分周器への制御信号を生成するループフィルタと、  
前記入力信号を前記第2の基準信号でサンプリングする第2の乗算器と、  
を備えることを特徴とするキャリア同期用PLL回路。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】 本発明は、キャリア同期用PLL(Phase-Locked Loop)回路に関し、詳しくは、交通情報を識別するためのARI(Autofahrer Rundfunk Informations)信号や、交通情報等のデジタル・データのメッセージを伝送するためのRDS(Radio Data System)信号等を多重するFM多重データ放送の受信検波に好適なコスタスループ型DPLL(Digital PLL)等のキャリア同期用PLL回路に関する。

#### 【0002】

【従来の技術】 従来より、交通渋滞の緩和等を図るために交通情報システムとしてARI放送が知られている。このARI放送によるシステムでは、交通情報を放送するFMラジオ局を、その電波に57KHzの副搬送波を常時入れることで識別するようにされている。さらに

は、副搬送波を特定の周波数で振幅変調したDK, BK信号により、交通情報の開始、終了、対象地域を区別するようにされている。

【0003】 また、同じくFMラジオ電波に57KHzの副搬送波を入れ、選局用などのデジタル・データを多重する放送方式であるFM多重データ放送(RDS)が知られている。このRDS放送において多重されるデータは、104ビットから成るグループ単位に構成され、選局機能を主な目的とした様々なメッセージが規格化されている。RDSデータの送信は、そのデータの伝送速度が1.1875kビット/秒とされて差動エンコードされ、その信号で1.1875KHzのクロックを2相PSK(Phase Shift Keying)変調する。さらにその2相PSK変調信号によって副搬送波(57KHz)を搬送波抑圧型振幅変調し、その両測波帯(DSB)信号が音声信号に多重されて伝送される。ここで、RDSデータの副搬送波はステレオ放送を示すパイロット信号(19KHz)の第3高調波と同相か直交位相の関係に設定される。また、ARI信号との両立性が要求される放送では、RDS変調信号とARI信号とを周波数を同じにして常に直交位相の関係に設定されて同時送信される。

【0004】 図7に、FM信号にRDS変調信号とARI信号を多重したときのスペクトルを示す。また、図8に、FM多重データ放送受信機の基本構成の概略ブロック図を示す。

【0005】 図7に示すように、RDS変調信号は57KHz副搬送波の近傍に低レベルで分布し、音声帯域に影響を与えないようにされている。FM多重データ放送受信機では、図8に示すように、アンテナ51で受信されたFM多重放送波は、フロントエンド52で希望の局が選択され、IF(中間周波数)アンプ53、FM検波器(DET)54、マルチブレクサ(MPX)復調回路55を介して、音声信号がステレオ放送の場合にはL(左)、R(右)チャンネルのオーディオ信号に分離されて出力される。また、FM検波器54の検波出力がフィルタ56に供給され、57KHzの副搬送波のRDS変調信号が分離される。分離されたRDS変調信号は、RDSデコード・クロック再生器57により、クロックが再生されRDSデータが復調される。さらに、グループ・ブロック同期/エラー検出器58、エラー訂正回路59を介してコントローラ60に供給されてコード情報が解析され、RAM等のメモリ61に記憶すると共に、操作部62からの選局指令に基づいてフロントエンド52に対して選局動作を行なう。

【0006】 上述した構成のFM多重データ放送受信機によりRDSデータは再生されるが、そこで再生処理されるRDS変調信号は単純なPLL回路では復調できないものである。というのも、受信したDSB信号はその包絡線のゼロクロス点で副搬送波の位相が反転するため

副搬送波の周波数を抽出できないからである。このため、RDS変調信号の復調回路におけるキャリア同期用PLL回路として、ディジタル処理に適したコスタスループ型DPLL回路が採用されている。

【0007】図9に、従来のコスタスループ型DPLL回路の構成図を示す。図に示すように従来のコスタスループ型DPLL回路70は、乗算器(D-FF)71, 72、位相比較器73、シーケンシャルループフィルタ74、および電圧制御発振器(VCO)75を備えて構成される。電圧制御発振器75は、固定発振器75aと可変分周器75aとを備え、シーケンシャルループフィルタ74の出力信号に対応して固定発振器75aの出力するクロックを分周し、入力信号の周波数に同期させるための第1の基準信号Bと、その第1の基準信号Bと同じ周波数で90°の位相差を有する第2の基準信号Cと、第1の基準信号Bに同期した同期制御信号Eとを、可変分周器75aから出力するようにされている。図に示すように、入力端子Iから入力されたRDS変調信号が、コンパレータ69において方形波に変換され、コスタスループ型DPLL回路70の入力信号Aとされ乗算器71, 72にそれぞれ入力される。

【0008】乗算器71には第1の基準信号Bが、乗算器72には第2の基準信号Cがサンプリング信号として入力され、コンパレータ69においてA/D変換された入力信号Aは、乗算器71, 72のそれぞれでサンプリングされ位相比較器73に入力される。位相比較器73は、進み位相、遅れ位相を示す2つの出力端子を有し、それぞれの出力はシーケンシャルループフィルタ74に入力される。位相比較器73からは比較したサンプリング信号の位相の進み/遅れによって、一方の出力から副搬送波に同期したパルスが outputされ、そのパルスがシーケンシャルループフィルタ74によってカウントされ、可変分周器75aが制御される。シーケンシャルループフィルタ74からの制御信号により、可変分周器75aの出力信号の周波数が副搬送波信号の周波数に近づけるように制御され、最終的に一致するように制御される。可変分周器75aの出力信号の周波数と副搬送波信号の周波数が一致すると、コスタスループ型DPLL回路70はロックした状態となる。ロックした状態で乗算器71の出力が同相同期検波出力、乗算器72の出力が直交同期検波信号となり、乗算器71, 72の出力により同期検波が可能にされている。

【0009】上記構成において位相比較器73は、E x -OR(排他的論理和)回路73aと、インバータ回路73bと、アンド回路73c, 73dとを備え、E x -OR回路73aに乗算器71, 72の出力が入力され、そのE x -OR回路73aから出力される位相比較信号Dが一方のアンド回路73cに、またインバータ回路73bにより反転されて他方のアンド回路73dに入力される。アンド回路73c, 73dは、可変分周器75a

から出力される同期制御信号Eより制御され、+側位相差信号F、-側位相差信号Gを出力するように構成されていた。

【0010】また、シーケンシャルループフィルタ74は、例えば図10に示すように、位相比較器73の出力の進み、遅れ情報がそれぞれ長さNビットのレジスタに蓄積され、またそれらの入力の数の和がOR回路83を介して長さMビットのレジスタ84に蓄積され、Nビットレジスタ81, 82の一方がMビットレジスタ84よりも前に、もしくは同時に一杯になるとNビットレジスタ81, 82から出力パルスを発生し、全てのレジスタをリセットするようにされている。コスタスループ型DPLL回路70がロックした状態では、Mビットレジスタ84が一杯になる確率が高くなり、出力パルスの発生頻度が減少して、安定した同期検波を可能にしている。このようなフィルタは、N-before-Mフィルタと呼ばれ、DPLL回路ではよく使われている。

【0011】

【発明が解決しようとする課題】ところで、RDS変調信号を復調するためのDPLL回路は、かなりの高安定度が要求されるため、位相比較器において出力される位相比較信号はより正確な信号を含むことが必要とされている。

【0012】しかしながら、上述した従来のコスタスループ型DPLL回路70における位相比較は、入力信号Aの1周期内のサンプリングにより位相差を決定するようになっているため、位相比較器73の出力パルスは、比較する信号の位相差が大きくて小さくても同じになっていた。これを図11および図12により説明する。図11は第1の基準信号Bと入力信号Aの位相差が大きい場合のタイムチャートの状態例であり、図に示すように、入力信号Aと第1の基準信号Bとの位相差が大きいときは、乗算器71の出力はハイレベル、乗算器72の出力はハイレベルとなるため、位相比較信号Dはロウレベルとなる。したがって、アンド回路73dからは何も出力されず+側位相差信号Fがロウレベルで出力され、アンド回路73cからは-側位相差信号Gが同期制御信号Eに同期したパルスとして出力される。この出力パルスをシーケンシャルループフィルタ74が検出して、ロック状態に近づけるべく制御信号がoutputされる。一方、図12は入力信号Aと第1の基準信号Bとの位相差方向が図11と同じでその位相差が少ない場合のタイムチャートの状態例である。図に示すように、入力信号Aと第1の基準信号Bとの位相差が少ないと、位相比較信号Dはロウレベルとなり、アンド回路73c, 73dの出力も同じとなっていた。

【0013】このように、従来のコスタスループ型DPLL回路の位相比較では、入力信号の1周期内の区間において位相比較信号がハイかロウ、つまり前進か後退かという位相分解能しか提供されていなかった。このため

位相差が小さい場合には位相の引き込みすぎが生じてしまい、DPLL回路が不安定になりやすいという課題を有していた。

【0014】本発明は、このような課題に対してなされたもので、位相差情報の分解能を高めてより正確な位相比較信号を生成し、より安定したキャリア同期用PLL回路を提供することを目的とする。

【0015】

【課題を解決するための手段】図1に、本発明の原理構成図を示す。図1に示すように、前記課題を解決するため本発明のキャリア同期用PLL回路1は、第1の基準信号Bとその第1の基準信号Bと同じ周波数で90°の位相差を有する第2の基準信号Cとを周波数可変に出力する可変分周器2と、入力信号Aを第1の基準信号Bによりサンプリングする乗算器3と、入力信号Aと前記乗算器3の出力信号との排他的論理和を演算する排他的論理和回路4と、第1の基準信号B、第2の基準信号Cおよび排他的論理和回路4の出力信号とを入力し、入力信号Aと第1の基準信号Bとの位相差およびその位相差方向を検出し、その位相差に応じた数のクロックパルスの列を含み位相差方向に対応した位相比較信号を出力する位相比較器5と、位相比較信号により前記可変分周器2への制御信号を生成するループフィルタ6と、を備えて構成する。

【0016】なお、図中、7は基準クロックを出力する固定発振器、8はアナログ信号をA/D変換するコンバレータである。

【0017】

【作用】本発明のキャリア同期用PLL回路1では、乗算器3において入力信号Aが第1の基準信号Bによりサンプリングされて、入力信号Aと第1の基準信号Bとの同期方向を示す信号が生成される。さらに排他的論理和回路4における入力信号Aと乗算器3の出力信号との排他的論理和により、入力信号Aを反転した信号が生成される。位相比較器5では、例えば検出した位相差の期間だけクロックパルスが生成され、位相の進み、遅れの方向により切り替えられて位相比較信号として出力される。ループフィルタ6では、位相比較信号に含まれるクロックパルスに対応した制御信号が生成されて可変分周器2に出力され、第1、第2の基準信号の出力周波数が制御される。したがって、クロックパルスの周期の分解能により入力信号Aと第1の基準信号Bとの位相同期が制御される。

【0018】

【実施例】以下、本発明の好適な実施例を説明する。図2に、本発明の一実施例のDPLL回路の構成図を示す。

【0019】図2に示すように、本実施例のDPLL回路10は、乗算器11、第1のEx-OR回路12、位相比較器13、シーケンシャルループフィルタ14、お

よびVCO回路15を備えて構成される。乗算器11はDフリップフロップよりなり、D端子入力信号をクロック端子入力信号によりサンプリングした信号が出力される。VCO回路15は、固定発振器15aと可変分周器15bとを備え、シーケンシャルループフィルタ14の出力信号に対応して固定発振器15aの出力する基準クロックJを可変分周器15bにより分周し、入力信号Aの周波数に同期させるための第1の基準信号Bと、その第1の基準信号Bと同じ周波数で90°の位相差を有する第2の基準信号Cとを出力するようにされている。位相比較器13は、第2、第3のEx-OR回路21、22、第1、第2、第3のアンド回路23、24、25、およびインバータ回路26により構成されている。

【0020】上記構成において、基準電圧9bを接続した演算増幅器9aからなるコンパレータ9にてA/D変換された入力信号Aが、乗算器11および第1のEx-OR回路12に入力される。乗算器11では、入力信号Aと共に可変分周器15bの出力する第1の基準信号Bとを入力し、入力信号Aを第1の基準信号Bでサンプリングした信号を出力する。第1のEx-OR回路12では、入力信号Aと乗算器11の出力信号とを入力し、入力信号Aに位相方向を含ませた信号Dを生成して位相比較器13に出力する。位相比較器13において、第2のEx-OR回路21では、第1のEx-OR回路12の出力信号Dと可変分周器15bの出力する第2の基準信号Cとを入力し、位相比較信号Eを出力する。第1のアンド回路23では、第2のEx-OR回路21の出力する位相比較信号Eと固定発振器15aの出力する基準クロックJとを入力し、位相差情報が与えられた位相比較信号である位相比較パルス信号Fを出力する。位相比較パルス信号Fは、位相差に対応した数の基準クロックパルス列からなる信号として出力される。一方、第3のEx-OR回路22では、可変分周器15bの出力する第2の基準信号Cと固定発振器15aの出力する基準クロックJとを入力し、位相方向分離信号Gを出力する。第2のアンド回路24では、位相比較パルス信号Fと位相方向分離信号Gとを入力し、+側位相差信号Hを出力する。また、第3のアンド回路25では、同じく位相比較パルス信号Fとインバータ回路26を介して反転された位相方向分離信号Gとを入力し、-側位相差信号Iを出力する。

【0021】次に、上記構成のDPLL回路10の動作について説明する。図3～図5に、上記構成のDPLL回路10の動作を説明するタイミングチャートを示す。図3には第1の基準信号Bに対して入力信号Aの位相遅れが大きい場合の例を、図4にはその位相遅れが小さい場合の例を、図5には第1の基準信号Bに対して入力信号Aの位相が進んでいる場合の例を、それぞれ示している。図を参照して動作を説明すると、まず入力信号Aは、乗算器11において可変分周器15bの出力する第

1の基準信号Bによりサンプリングされる。そして、第1のE x-OR回路12における入力信号Aと乗算器11の出力信号との排他的論理和により、DPLL回路10のロック方向を含んだ信号Dが得られる。このとき乗算器11の出力は、入力信号Aと第1の基準信号Bとが0°の同期状態に近いときにはハイレベルとなり、180°の同期状態に近いときにはロウレベルとなる。したがって、0°の同期状態に近いとき、第1のE x-OR回路12の出力は入力信号Aが反転された状態となり、180°の同期状態に近いときは入力信号Aがそのまま出力される。

【0022】さらに、第2のE x-OR回路21における第1のE x-OR回路12の出力信号Dと、第1の基準信号Bと90°の位相差を有する第2の基準信号Cとの排他的論理和により、位相比較信号Eが得られる。この位相比較信号Eでは時間軸上の時間的な大きさ(図ではハイレベル区間)が位相差となる。したがって、第1のアンド回路23における位相比較信号Eと基準クロックJとの論理積により、図に示すように位相差に対応する数の基準クロックJのパルスを有する位相差情報を含む位相比較パルス信号Fが得られる。この位相比較パルス信号Fには-側位相と+側位相のどちらの情報も含まれるので、第3のE x-OR回路22の出力信号Gで位相方向を切り替え、第2、第3のアンド回路24、25およびインバータ回路26により分離するようにしている。これにより、入力信号Aに位相遅れがある場合は、図3、図4に示すように、入力信号Aの1/2周期毎に位相差に対応する数の基準クロックパルスを有する-側位相差信号Iが、シーケンシャルループフィルタ14に出力される。また、入力信号Aに位相の進みがある場合には、図5に示すように、同じく入力信号Aの1/2周期毎に位相差に対応する数の基準クロックパルスを有する+側位相差信号Hが、シーケンシャルループフィルタ14に出力される。シーケンシャルループフィルタ14では、基準クロックパルス数に対応して可変分周器15bに制御信号が出力され、入力信号Aの周波数に第1の基準信号Bの周波数を近づけるように制御がなされ、ロックした状態で乗算器11の出力から入力信号の同同期検波出力が得られる。

【0023】このように本実施例のDPLL回路では、入力信号Aの1/2周期毎に位相差に対応した数の基準クロックパルスを生成し、位相分解能の高い位相比較信号をシーケンシャルループフィルタ14に入力するようしている。したがって、入力信号Aの1周期内における位相差に対応した高い分解能の制御がなされるため、位相差が少ない場合においても高安定化される。

#### 【0024】第2の実施例

図6に、RDS/ARI信号復調器に構成される副搬送同期用DPLL回路に本発明を適用した実施例の構成図を示す。同図において、図2と同一のものには同じ符

号を付してその詳細な説明を省略する。

【0025】図2に示したDPLL回路10では、送信されてくる信号がRDS信号のみの場合には、RDS信号にロックし、乗算器11の出力から同同期検波されたRDS信号のベースバンド信号が得られる。しかしながら、RDS信号と共にARI信号も同時に送信されてくる場合には、RDS信号とARI信号は互いに直交位相関係で、ARI信号のほうが10dBほど高い信号レベルで送信されてくる。したがって、図2に示したDPLL回路10では、ARI信号にロックするように作動する。

【0026】そこで、本実施例のDPLL回路30では、第2の乗算器(Dフリップフロップ)31を設けている。他の構成は図2に示したDPLL回路10と同じである。第2の乗算器31には、入力信号Aと可変分周器15bの出力する第2の基準信号Cとが入力され、入力信号Aを第2の基準信号Cでサンプリングした信号、すなわち直交同期検波信号を出力するようになされている。本実施例のDPLL回路30では、RDS/ARI変調信号が入力されると、ARI信号にロックするように作動する。ARI信号にロックしたときには、第2の演算器31の出力から直交同期検波されたRDS/ARI信号のベースバンド信号が得られる。したがって、RDS/ARI信号復調器にARI信号検出回路を設けてARI信号の有無を検出し、ARI信号の無いときには第1の乗算器11の出力Kに、ARI信号があるときには第2の乗算器31の出力に切り替えることによって、本実施例のDPLL回路30では、常にベースバンド信号を得るようになることができる。

【0027】なお、上記第1、第2の実施例において、位相比較器に入力する基準クロックパルスを固定発振器の出力から得るようにしたが、必要な位相分解能を得るために所望する周期のクロックを生成する手段を、位相比較器内またはDPLL回路内に、あるいはDPLL回路外に構成して入力するようにしてもよい。

#### 【0028】

【発明の効果】以上説明したように、本発明のキャリア同期用PLL回路によれば、位相差情報の分解能が高く、より正確な位相比較信号が生成されて位同期が制御されるため、より安定した搬送波の位同期がなされる。特に、交通情報を識別するためのARI信号や、交通情報等のデジタル・データのメッセージを伝送するためのRDS信号等を多重するFM多重データ放送の受信検波において、より安定性を高めることに貢献することができる。

#### 【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】本発明の第1の実施例の構成図である。

【図3】実施例における、基準信号に対して入力信号の位相遅れが大きい場合の各信号のタイムチャートの一例

である。

【図4】実施例における、基準信号に対して入力信号の位相遅れが小さい場合の各信号のタイムチャートの一例である。

【図5】実施例における、基準信号に対して入力信号の位相が進んでいる場合の各信号のタイムチャートの一例である。

【図6】本発明の第2の実施例の構成図である。

【図7】RDS信号およびARI信号の多重伝送を説明するFM送信信号のスペクトルの図である。

【図8】FM多重データ放送受信機の基本構成の概略ブロック図である。

【図9】従来のコスタスループ型DPLL回路の構成図である。

【図10】シーケンシャルループフィルタの概略構成図である。

【図11】従来のコスタスループ型DPLL回路における、基準信号と入力信号の位相差が大きい場合の各信号のタイムチャートの一例である。

【図12】従来のコスタスループ型DPLL回路における、基準信号と入力信号の位相差が小さい場合の各信号のタイムチャートの一例である。

【符号の説明】

1…キャリア同期用PLL回路

2…可変分周器

3…乗算器

4…排他的論理和回路

5…位相比較器

6…ループフィルタ

7…固定発振器

8…コンパレータ

9…コンバレータ

10…DPLL回路

11…乗算器 (D-F F)

12…第1のEx-OR (排他的論理和) 回路

13…位相比較器

14…シーケンシャルループフィルタ

15…電圧制御発振器

15a…固定発振器

15b…可変分周器

21…第2のEx-OR回路

22…第3のEx-OR回路

23…第1のアンド回路

24…第2のアンド回路

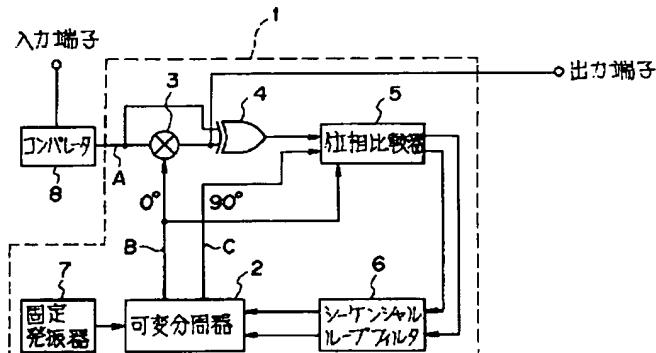
25…第3のアンド回路

26…インバータ回路

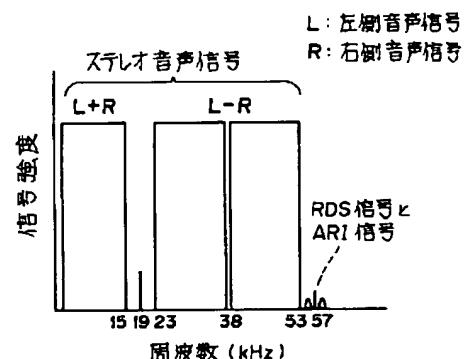
30…DPLL回路

31…第2の乗算器 (D-F F)

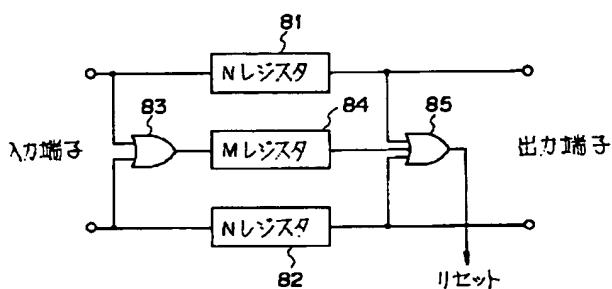
【図1】



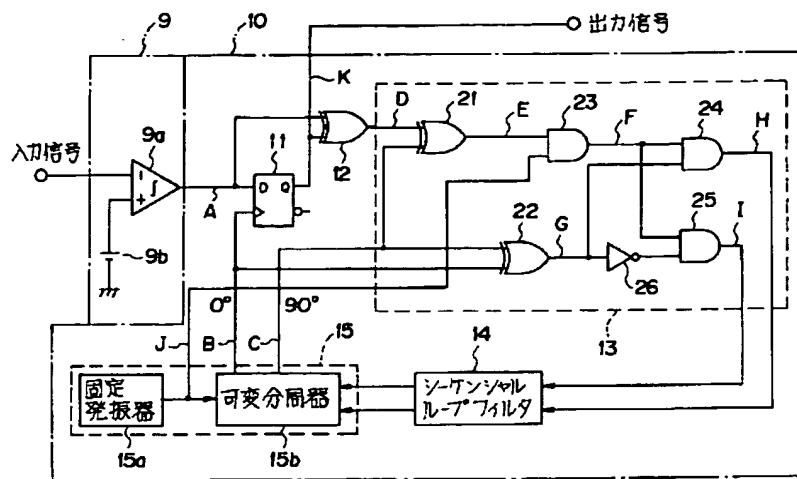
【図7】



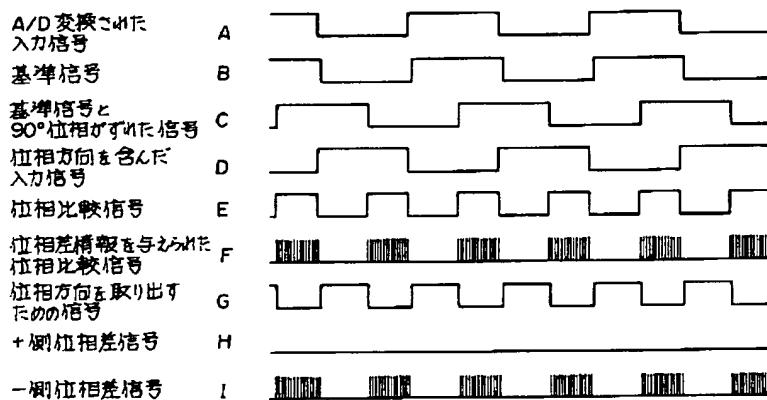
【図10】



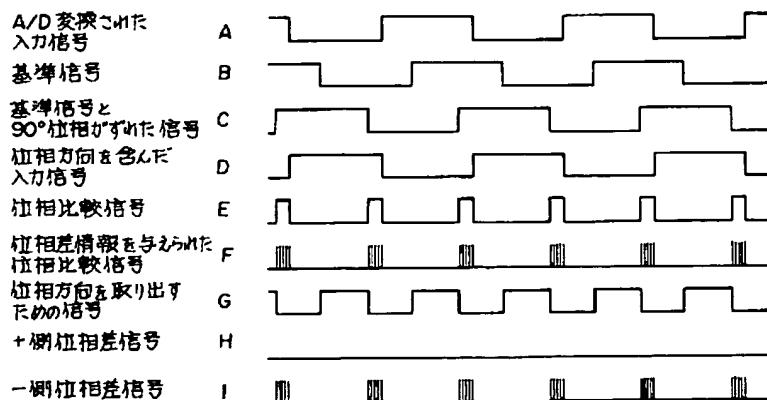
【図2】



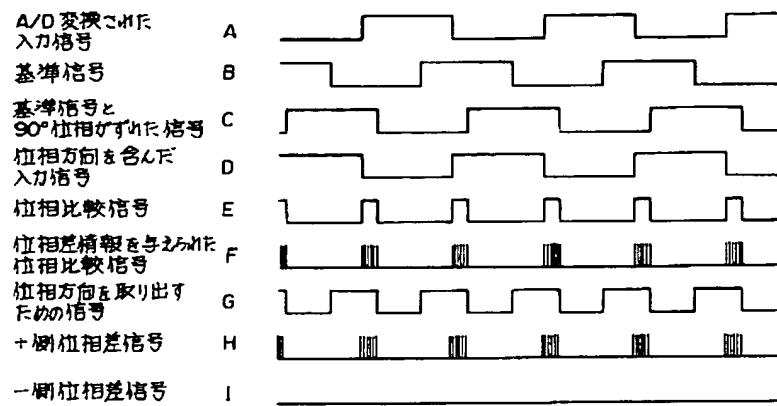
【図3】



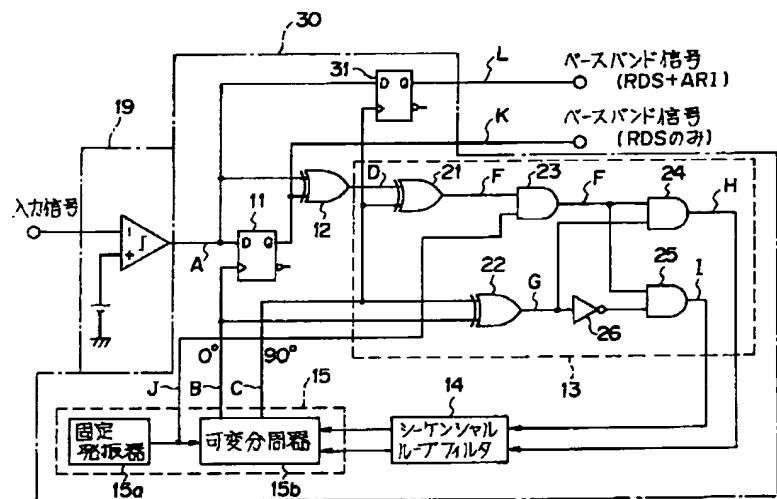
【図4】



【図5】



【図6】



【図8】

